

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-091935

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

G06F 15/177

G06F 9/06

G06F 13/16

G06F 13/36

G06F 15/167

(21)Application number : 2000-282864

(71)Applicant : KENWOOD CORP

(22)Date of filing : 19.09.2000

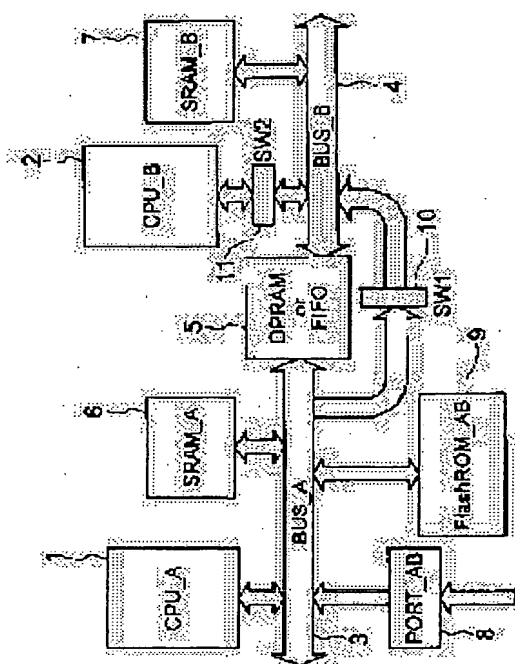
(72)Inventor : NISHIMURA YOSHIHIRO

(54) CIRCUIT FOR OPERATING PLURALITY OF CPUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit in which a memory for program storage and a port for loading are connected, a plurality of CPUs are operated and the program of each CPU can be loaded into a RAM in a short time.

SOLUTION: In this circuit in which buses 3 and 4 connected respectively to two or more CPUs 1 and 2 are communicable through a data storing means 5, a program for operating the respective CPUs is stored in a flash memory 9, the program is loaded to RAMs 6 and 7 connected to the buses 3 and 4 connected to the CPUs 1 and 2, and the respective CPUs 1 and 2 are operated by the program on the respective RAMs 6 and 7 at the time of operating the respective CPU, the bus 3 and the bus 4 are connected through a 1st switch 10 and another switch 11 is arranged between the CPU 2 and the bus 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-91935

(P2002-91935A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 15/177	6 7 0	G 0 6 F 15/177	6 7 0 B 5 B 0 4 5
9/06	4 1 0	9/06	4 1 0 J 5 B 0 6 0
13/16	5 1 0	13/16	5 1 0 C 5 B 0 6 1
13/36	3 1 0	13/36	3 1 0 A 5 B 0 7 6
15/167		15/167	F
審査請求 未請求 請求項の数 1 O L (全 4 頁)			

(21)出願番号 特願2000-282864(P2000-282864)

(22)出願日 平成12年9月19日(2000.9.19)

(71)出願人 000003595

株式会社ケンウッド

東京都渋谷区道玄坂1丁目14番6号

(72)発明者 西村 芳裕

東京都渋谷区道玄坂1丁目14番6号株式会社ケンウッド内

(74)代理人 100085682

弁理士 柴田 昌雄

Fターム(参考) 5B045 BB14 BB15 BB38 HH02

5B060 AC01 MB01

5B061 FF01 GC16 RR07

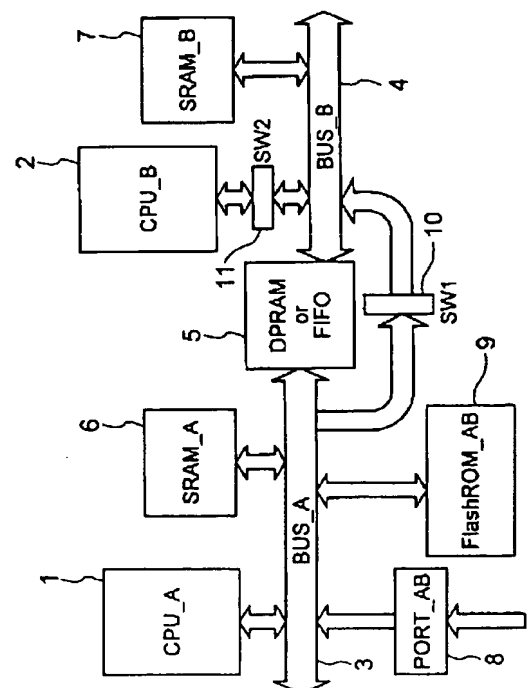
5B076 BB02 BB16

(54)【発明の名称】 複数のCPUを動作させる回路

(57)【要約】

【課題】プログラムの保存用メモリとロード用のポートを1つにしてしかも各CPUのプログラムをRAMに短時間でロードできる複数のCPUを動作させる回路を提供する。

【解決手段】2個以上のCPU1、2の夫々に接続されるBUS3、4がデータ記憶手段5を介して通信可能であり、前記CPUの夫々を動作させるプログラムがフラッシュメモリ9に蓄積され、夫々のCPUを動作させるとき前記プログラムが前記CPU1、2に接続されたBUS3、4と接続されたRAM6、7にロードされ夫々のRAM6、7上のプログラムにより夫々のCPU1、2が動作する回路において、BUS3とBUS4とを第1のスイッチ10を介して接続し、CPU2とBUS4との間に他のスイッチ11を介在させた。



(2)

【特許請求の範囲】

【請求項1】 2個以上のCPUの夫々に接続されるBUSがデータ記憶手段を介して通信可能であり、前記CPUの夫々を動作させるプログラムが特定のCPUに接続されたBUSに接続されているフラッシュメモリに蓄積され、夫々のCPUを作動させるとき前記特定のCPUにより前記プログラムが夫々のCPUに接続されたBUSと接続されたRAMにロードされ夫々のRAM上のプログラムにより夫々のCPUが動作する回路において、前記CPUの内の1個の特定されたCPUに接続されたBUSと他のCPUに接続されるBUSとを第1のスイッチを介して接続し、前記他のCPUとそれに接続されるBUSとの間に他のスイッチを介在させ、前記特定されたCPUが接続されるBUSに前記フラッシュメモリと入力ポートを接続し、前記特定されたCPUにより前記入力ポートを介して外部から入力されて更新される夫々のCPUのプログラムを前記フラッシュメモリに蓄積させ、前記他のCPUを動作させるプログラムを夫々のRAMにロードするときは前記第1のスイッチを閉じ前記他のスイッチを開き前記特定されたCPUによりロードさせ、前記他のCPUを動作させるときは前記第1のスイッチを開き前記他のスイッチを閉じた状態とするように構成した複数のCPUを作動させる回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は複数のCPUを作動させる回路に係わり、特に、各CPUを動作させるプログラムを蓄積するフラッシュメモリやプログラムを更新するためのポートを節約した回路に関する。

【0002】

【従来の技術】2個以上のCPUの夫々に接続されるBUSがデータ記憶手段を介して通信可能であり、前記CPUの夫々を動作させるプログラムが外部より入力される回路の従来の例を図2に示す。

【0003】図2に示すように、CPU20およびCPU21は夫々BUS22およびBUS23に接続されており、BUS22およびBUS23はFIFO5を介して通信可能となっている。すなわち、CPU20とCPU21との通信はBUS22、23およびFIFO5を介して行われる。なお、FIFO5はDPRAMであってもよい。

【0004】BUS22にはさらにSRAM6、ポート24およびフラッシュROM26が接続されており、BUS23にはSRAM7、ポート25およびフラッシュROM27が接続されている。

【0005】CPU20のプログラムはフラッシュROM26に保存され、動作時にフラッシュROM26からSRAM6にロードされる。また、フラッシュROM26に保存されているCPU20のプログラムの更新はCPU20に管理されポート24を使用して行われる。

2

【0006】同様にCPU21のプログラムはフラッシュROM27に保存され、動作時にフラッシュROM27からSRAM7にロードされる。また、フラッシュROM27に保存されているCPU21のプログラムの更新はCPU21に管理されポート25を使用して行われる。

【0007】

【発明が解決しようとする課題】上記図2に示す従来の回路ではCPU20とCPU21の両方にプログラムを更新するためとプログラムをロードするためのプログラムが必要になるが、同じ機能のプログラムを両方のCPUに対して持たせるのは無駄である。また、CPUの数だけプログラムの保存用メモリ（フラッシュメモリ）とポートを持たせるのも無駄であり、回路が大きくなり製造コストが高くなっていた。

【0008】上記の無駄をなくすためにポートとプログラム保存用メモリを1つにして、双方のBUSを接続しているFIFOやDPRAMを介して、ポートとプログラム保存用メモリを持つ側から持たない側へプログラムを受け渡すという方法も考えられる。しかし、この場合はメモリアクセスの回数が増大してプログラムをロードするのに非常に時間がかかってしまうという問題が発生する。

【0009】この発明は上記した点に鑑みてなされたものであって、その目的とするところは、プログラムの保存用メモリ（フラッシュメモリ）とロード用のポートを1つにしてしかも各CPUのプログラムをRAMに短時間でロードできる複数のCPUを作動させる回路を提供することにある。

【0010】

【課題を解決するための手段】この発明の複数のCPUを作動させる回路は、2個以上のCPUの夫々に接続されるBUSがデータ記憶手段を介して通信可能であり、前記CPUの夫々を動作させるプログラムが特定のCPUに接続されたBUSに接続されているフラッシュメモリに蓄積され、夫々のCPUを作動させるとき前記特定のCPUにより前記プログラムが夫々のCPUに接続されたBUSと接続されたRAMにロードされ夫々のRAM上のプログラムにより夫々のCPUが動作する回路において、前記CPUの内の1個の特定されたCPUに接続されたBUSと他のCPUに接続されるBUSとを第1のスイッチを介して接続し、前記他のCPUとそれに接続されるBUSとの間に他のスイッチを介在させ、前記特定されたCPUが接続されるBUSに前記フラッシュメモリと入力ポートを接続し、前記特定されたCPUにより前記入力ポートを介して外部から入力されて更新される夫々のCPUのプログラムを前記フラッシュメモリに蓄積させ、前記他のCPUを動作させるプログラムを夫々のRAMにロードするときは前記第1のスイッチを閉じ前記他のスイッチを開き前記特定されたCPUにより

(3)

ロードさせ、前記他のCPUを動作させるときは前記第1のスイッチを開き前記他のスイッチを閉じた状態とするように構成したものである。

【0011】

【発明の実施の形態】この発明の実施例の回路を図面に基づいて説明する。図1はこの発明の実施例である複数のCPUを作動させる回路を示すブロック図である。図に示すように、BUS3およびBUS4はFIFO5を介して通信可能となっている。なお、FIFO5はDPRAMでもよい。BUS3およびBUS4はアナログスイッチからなる第1のスイッチ10を介しても接続されている。スイッチ10はスリーステートのバッファでも構わない。

【0012】CPU1はBUS3に接続されており、CPU2は他のスイッチ11を介してBUS4に接続されている。BUS3にはさらにSRAM6、ポート8およびフラッシュROM9が接続されており、BUS4には他のスイッチ11を介してCPU2が接続されている。BUS4にはさらにSRAM7が接続されている。CPU1とCPU2との通信はBUS3、BUS4およびFIFO5を介して行われる。

【0013】CPU1およびCPU2のプログラムは共にフラッシュROM9に保存され、フラッシュROM9に保存されているCPU1およびCPU2のプログラムの更新はポート8を使用してCPU1が行う。ポート8から入力されて更新されるCPU1あるいはCPU2のプログラムを、BUS3に接続されたCPU1がフラッシュROM9に書き込む。

【0014】CPU1の動作時にはCPU1に管理されCPU1のプログラムがフラッシュROM9からSRAM6にロードされる。また、CPU2のプログラムのロードは、スイッチ10を閉じることによりBUS3とBUS4を接続し、さらにCPU2とBUS4の間にあるスイッチ11を開くことによりCPU2とBUS4を切り離してBUS4へのCPU2の干渉を絶った状態とし、CPU1がフラッシュROM9内のCPU2のプロ

グラムをスイッチ10を介してBUS4に接続されたSRAM7にロードすることにより行われる。

【0015】CPU1によるスイッチ10を介した、BUS4に接続されたSRAM7へのCPU2のプログラムのロードが終了すると、スイッチ10を開いてBUS3とBUS4を切り離し、さらにCPU2とBUS4の間にあるスイッチ11を閉じてCPU2とBUS4を接続する。これにより、CPU2はSRAM7にロードされているプログラムにより動作する。

【0016】

【発明の効果】この発明の複数のCPUを作動させる回路によれば、各CPUに対してプログラム保存用メモリおよびプログラム更新用ポートを持つ必要がなく、夫々1つで済むため、回路が簡略化される。また、バスとバスを結ぶデータ記憶手段を介して各CPUを動作させるプログラムを受け渡す場合と比較してプログラムのロード時間を短縮できる。

【図面の簡単な説明】

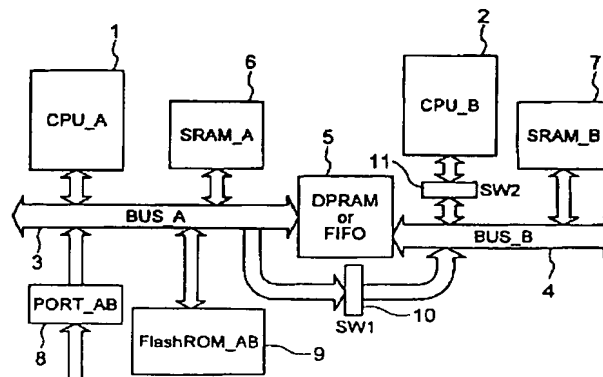
【図1】この発明の実施例である複数のCPUを作動させる回路を示すブロック図である。

【図2】従来の例を示すブロック図である。

【符号の説明】

- 1 CPU
- 2 CPU
- 3、4 BUS
- 5 FIFO
- 6 SRAM
- 7 SRAM
- 8 ポート
- 9 フラッシュROM
- 10 第1のスイッチ
- 11 他のスイッチ
- 20、21 CPU
- 22、23 BUS
- 24、25 ポート
- 26、27 フラッシュROM

【図1】



(4)

【図2】

